

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tsunenori YAMAUCHI**

Serial No.: **Not Yet Assigned**

Filed: **January 24, 2002**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

January 24, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-232561, filed July 31, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Reg. No. 22,631

Atty. Docket No.: 020076
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/ll

*#2/priorities
paper
a/bel
2/8/02*

JC978 U.S. PTO
10/053712
01/24/02

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC978 U.S. PRO
10/053712
01/24/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月31日

出 願 番 号

Application Number:

特願2001-232561

出 願 人

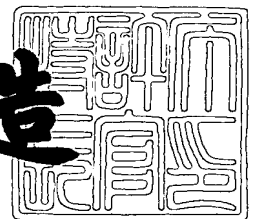
Applicant(s):

富士通株式会社

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096206

【書類名】 特許願

【整理番号】 0140746

【提出日】 平成13年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/73

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山内 経則

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2001-232561

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成された第 1 の半導体層と、
前記第 1 の半導体層上に形成された引き出しベース電極と、
前記第 1 の半導体層上に形成され、前記引き出しベース電極の側面部で前記引き出しベース電極に接続された、カーボンを含むシリコンゲルマニウムより成るベース層と、

前記ベース層上に形成された第 2 の半導体層と
を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記ベース層は、0.01～6%のカーボンを含む
ことを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、
前記引き出しベース電極に接続された部分の前記ベース層の不純物濃度が、前記第 2 の半導体層直下の前記ベース層の不純物濃度より高い
ことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において
前記引き出しベース電極直下の絶縁膜のサイドエッチングが 0.1 μm 以下である
ことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において
前記ベース層は、前記引き出しベース電極の上面より 0.02 μm 以上上方に突出している
ことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において

前記第 1 の半導体層は、コレクタ層であり、
前記第 2 の半導体層は、エミッタ層である
ことを特徴とする半導体装置。

【請求項 7】 半導体基板に形成された第 1 の半導体層上に、開口部が形成された引き出しベース電極を形成する工程と、

少なくとも前記開口部内に、カーボンを含むシリコンゲルマニウムより成るベース層を形成する工程と、

前記ベース層上に第 2 の半導体層を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、
前記ベース層を形成する工程は、前記開口部内及び前記引き出しベース電極上にカーボンを含むシリコンゲルマニウム層を形成する工程と、前記カーボンを含むシリコンゲルマニウム層が形成された前記開口部内にマスク材を埋め込む工程と、前記マスク材をマスクとして前記カーボンを含むシリコンゲルマニウム層をエッチングする工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 又は 8 記載の半導体装置の製造方法において、
前記ベース層と前記引き出しベース電極との接続部分に不純物を導入する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、
前記不純物を導入する工程では、前記半導体基板の面に対して斜めに不純物を導入する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特にシリコンゲルマニウムを用いた半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近時、超高周波動作が要求される携帯電話や光伝送等に適用しうるデバイスとして、シリコンゲルマニウムを用いた H B T (Heterojunction Bipolar Transistor) が注目されている。

【 0 0 0 3 】

提案されている H B T を図 9 及び図 1 0 を用いて説明する。図 9 及び図 1 0 は、提案されている H B T の製造方法を示す工程断面図である。

【 0 0 0 4 】

まず、図 9 (a) に示すように、 p 形のシリコン基板 1 1 0 上に、 n^+ 形の埋め込み拡散層 1 1 2 及び n 形のコレクタ層 1 1 4 を順次形成する。

【 0 0 0 5 】

次に、コレクタ層 1 1 4 の表面に、パッド酸化膜 1 1 8 を形成する。

【 0 0 0 6 】

次に、局所酸化により、素子分離膜 1 2 2 を形成する。この後、コレクタ部 1 2 3 のパッド酸化膜 1 2 2 を除去する。

【 0 0 0 7 】

次に、図 9 (b) に示すように、全面に、多結晶シリコン層 1 2 5 を形成する。次に、引き出しベース電極 1 2 6 となる部分の多結晶シリコン層 1 2 5 にボロンを導入する。

【 0 0 0 8 】

次に、全面に、SiN より成る絶縁膜 1 2 8 を形成する。

【 0 0 0 9 】

次に、全面に、SiO₂ より成る絶縁膜 1 2 9 を形成する。

【 0 0 1 0 】

次に、図 9 (c) に示すように、フォトリソグラフィ技術を用い、パッド酸化膜 1 1 8 に達する開口部 1 3 0 を形成する。

【 0 0 1 1 】

次に、開口部 1 3 0 の内壁に、SiN より成る絶縁膜 1 3 1 を形成する。

【0012】

次に、図9(d)に示すように、絶縁膜128と絶縁膜131とをマスクとして、パッド酸化膜118と絶縁膜128上の絶縁膜129とを選択的にエッチングする。この際、引き出しベース電極126直下のパッド酸化膜118もサイドエッチングする。

【0013】

次に、図10(a)に示すように、コレクタ層114の表面が露出している領域に、シリコンゲルマニウムより成る単結晶のp形のベース層132を成長する。ベース層132に含ませるp形不純物としては、ボロンを用いる。

【0014】

次に、図10(b)に示すように、内壁に絶縁膜131が形成された開口部130の内側に、 SiO_2 より成る絶縁膜134及び SiN より成る絶縁膜135を順次形成する。

【0015】

次に、絶縁膜135及び絶縁膜134に、ベース層132に達する開口部137を形成する。

【0016】

次に、開口部137を介してベース層132に接続されるn形のエミッタ層136を形成する。

【0017】

次に、図10(c)に示すように、フォトリソグラフィ技術を用い、引き出しベース電極126を除く領域の多結晶シリコン層125をエッチングする。

【0018】

こうして、提案されているHBTが製造される。

【0019】

このようなシリコンゲルマニウムを用いたHBTは、遮断周波数 f_T が100GHz程度と、高速動作を実現し得ることが期待されている。

【0020】

【発明が解決しようとする課題】

しかしながら、上述した提案されているHBTでは、エミッタ層136を形成した後の熱処理等により、ベース層132中からボロンが拡散してしまうことがあった。ベース層132中からボロンが拡散してしまうと、ベース層132におけるキャリアの走行時間が遅くなり、遮断周波数 f_T の低下を招いてしまう。

【0021】

また、提案されているHBTでは、引き出しベース電極126直下の部分のベース層132の成長が極めて不安定であり、空洞が生じる場合もある。このため、提案されているHBTでは、ベース層132と引き出しベース電極126との接続が不安定であり、ベース層132と引き出しベース電極126との間の寄生抵抗が大きくなることがあった。ベース層132と引き出しベース電極126との間の寄生抵抗が大きくなると、雑音の増加を招いてしまう。

【0022】

ここで、ベース層132と引き出しベース電極126との間の寄生抵抗を低減すべく、引き出しベース電極126直下のパッド酸化膜118をより大きくサイドエッチングすることも考えられるが、この場合には、ベース層132とコレクタ層114との間の寄生容量が増加してしまい、HBTの高速動作が著しく阻害されてしまう。

【0023】

そこで、高速動作を実現するとともに、雑音を低減し得るHBTが待望されていた。

【0024】

本発明の目的は、動作速度が速く、雑音の小さい半導体装置及びその製造方法を提供することにある。

【0025】

【課題を解決するための手段】

上記目的は、半導体基板に形成された第1の半導体層と、前記第1の半導体層上に形成された引き出しベース電極と、前記第1の半導体層上に形成され、前記引き出しベース電極の側面部で前記引き出しベース電極に接続された、カーボンを含むシリコンゲルマニウムより成るベース層と、前記ベース層上に形成された

第2の半導体層とを有することを特徴とする半導体装置により達成される。

【0026】

また、上記目的は、半導体基板に形成された第1の半導体層上に、開口部が形成された引き出しベース電極を形成する工程と、少なくとも前記開口部内に、カーボンを含むシリコンゲルマニウムより成るベース層を形成する工程と、前記ベース層上に第2の半導体層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0027】

【発明の実施の形態】

本発明の一実施形態による半導体装置及びその製造方法を図1を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。図2乃至図5は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0028】

(半導体装置)

まず、本実施形態による半導体装置を図1を用いて説明する。

【0029】

図1に示すように、(100)のp形のシリコン基板10上には、 n^+ 形のAsがドーピングされたシリコンより成る埋め込み拡散層12が形成されている。

【0030】

埋め込み拡散層12が形成されたシリコン基板10上には、エピタキシャル成長された、リンを含むシリコンより成るn形のコレクタ層14が形成されている。

【0031】

コレクタ層14、埋め込み拡散層12及びシリコン基板10には、埋め込み拡散層12の下面より深くまで溝16が形成されている。溝16は、素子分離を行うためのものである。

【0032】

コレクタ層14上及び溝16の内面には、膜厚100nmのシリコン酸化膜より成るパッド酸化膜18が形成されている。

【 0 0 3 3 】

パッド酸化膜 1 8 が形成された溝内には、多結晶シリコン層 2 0 が埋め込まれている。

【 0 0 3 4 】

コレクタ層 1 4 の表面には、素子分離膜 2 2 が形成されている。

【 0 0 3 5 】

コレクタ層 1 4 には、埋め込み拡散層 1 2 に達する n^+ 形のコレクタ補償拡散層 2 4 が形成されている。

【 0 0 3 6 】

パッド酸化膜 1 8 上及び素子分離膜 2 2 上には、 p 形が多結晶シリコンより成る引き出しベース電極 2 6 が形成されている。

【 0 0 3 7 】

更に、全面には、CVD 法により形成されたシリコン酸化膜より成る絶縁膜 2 8 が形成されている。

【 0 0 3 8 】

絶縁膜 2 8、引き出しベース電極 2 6、パッド酸化膜 1 8 には、コレクタ層 1 4 に達する開口部 3 0 が形成されている。引き出しベース電極 2 6 直下のパッド酸化膜 1 8 のサイドエッチングは、例えば $0.1 \mu m$ 以下に抑えられている。

【 0 0 3 9 】

開口部 3 0 内には、カーボンを含むシリコンゲルマニウムより成る厚さ $150 nm$ の p 形のベース層 3 2 が形成されている。ベース層 3 2 には、 p 形不純物としてボロンが導入されている。ベース層 3 2 中にカーボンを含ませているのは、ベース層 3 2 中からボロンが拡散してしまうのを抑制するためである。

【 0 0 4 0 】

ベース層 3 2 中に含ませるカーボンの濃度は、 $0.01\% \sim 6\%$ に設定されている。ベース層 3 2 中に含ませるカーボンを 6% より大きく設定した場合には、ベース層 3 2 の材料がシリコンゲルマニウムとは異なる材料となってしまう。一方、ベース層 3 2 に含ませるカーボンを 0.01% より小さく設定した場合には、カーボンが少なすぎて、ベース層 3 2 中からのボロンの拡散を抑制し得ない。

そこで、本実施形態では、ベース層 32 中に含ませるカーボンの濃度を、0.01%~6%の範囲に設定している。

【0041】

コレクタ層 14 の表面に成長されたベース層 32 は、単結晶状態になっている。単結晶状態になっている部分、即ち、コレクタ層 14 の表面に成長されたベース層 32 は、真性ベース領域として機能する。

【0042】

パッド酸化膜 18、引き出しベース電極 26、及び絶縁膜 28 の側面部に成長されたベース層 32 は、多結晶状態になっている。ベース層 32 の多結晶状態となっている部分の上端、即ち、ベース層 32 の上端は、引き出しベース電極 26 の上面より例えば 0.02 μm 以上上方に突出している。

【0043】

ベース層 32 と引き出しベース電極 26 との接続部分には、p 形不純物が高濃度に導入されている。換言すれば、コレクタ層 14 の表面に成長された部分のベース層 32 の不純物濃度より、引き出しベース電極 26 と接続される部分のベース層 32 の不純物濃度の方が高く設定されている。ベース層 32 と引き出しベース電極 26 との接続部分に p 形不純物を高濃度に導入するのは、ベース層 32 と引き出しベース電極 26 との間の寄生抵抗を低減し、低雑音化を実現するためである。

【0044】

ベース層 32 が形成された開口部 30 の内壁には、シリコン酸化膜より成るサイドウォール絶縁膜 34 が形成されている。

【0045】

ベース層 32 上及びサイドウォール絶縁膜 34 上には、n 形のアモルファスシリコンより成るエミッタ層 36 が形成されている。

【0046】

絶縁膜 28 には、コレクタ補償拡散層 24 に達する開口部 38 が形成されている。また、絶縁膜 28 には、引き出しベース電極 26 に達する開口部 40 が形成されている。

【0047】

絶縁膜28上には、開口部38を介してコレクタ補償拡散層24に電氣的に接続されたコレクタ電極42が形成されている。また、絶縁膜28上には、開口部40を介して引き出しベース電極26に電氣的に接続されたベース電極44が形成されている。エミッタ層36上には、エミッタ電極46が形成されている。

【0048】

こうして本実施形態による半導体装置が構成されている。

【0049】

本実施形態による半導体装置は、ベース層32の材料としてカーボンを含むシリコンゲルマニウムが用いられていることに主な特徴の一つがある。

【0050】

上述した提案されているHBTでは、エミッタ層136等を熱処理する際に、ベース層132中からボロンが拡散してしまうことがあった。ベース層132中からボロンが拡散すると、ベース層132中におけるキャリアの走行時間が遅くなり、遮断周波数 f_T の低下を招いてしまう。

【0051】

これに対し、本実施形態では、シリコンゲルマニウムより成るベース層32にカーボンを含ませているため、ボロンの拡散に強い影響を与える格子間シリコンの作用が抑制される。このため、エミッタ層36等を例えば950℃程度で熱処理した場合であっても、ベース層32中からボロンが拡散してしまうのを抑制することができる。

【0052】

また、本実施形態による半導体装置は、ベース層32と引き出しベース電極26とが、開口部30の内壁の部分で接続されていることにも、主な特徴の一つがある。

【0053】

上述した提案されているHBTでは、引き出しベース電極126の直下にベース層132を成長することにより、ベース層132と引き出しベース電極126とを電氣的に接続していたため、ベース層132と引き出しベース電極126の

電氣的な接続が不安定であった。このため、上述した提案されている H B T では、ベース層 1 3 2 と引き出しベース電極 1 2 6 との間の寄生抵抗が大きくなることとがあり、雑音の増加を招くことがあった。

【 0 0 5 4 】

これに対し、本実施形態による半導体装置では、ベース層 3 2 と引き出しベース電極 2 6 とを開口部 3 0 の内壁の部分で接続するため、ベース層 3 2 と引き出しベース電極 2 6 とを安定して接続することができる。このため、本実施形態によれば、ベース層 3 2 と引き出しベース電極 2 6 との間の寄生抵抗を小さくすることができ、雑音を低減することが可能となる。

【 0 0 5 5 】

また、本実施形態による半導体装置は、引き出しベース電極 2 6 直下のパッド酸化膜 1 8 のサイドエッチングが極めて小さいことにも主な特徴の一つがある。

【 0 0 5 6 】

上述した提案されている H B T では、引き出しベース電極 1 2 6 直下のパッド酸化膜 1 1 8 を大きくサイドエッチングし、サイドエッチングされた領域にもベース層 1 3 2 を成長するため、ベース層 1 3 2 とコレクタ層 1 1 4 との間の寄生容量が大きくなり、動作速度の向上における阻害要因となっていた。

【 0 0 5 7 】

これに対し、本実施形態によれば、引き出しベース電極 2 6 直下のパッド酸化膜 1 8 のサイドエッチングが例えば $0.1 \mu\text{m}$ 以下と小さく抑えられているため、真性ベース領域を小さくすることが可能となる。このため、本実施形態によれば、ベース層 3 2 とコレクタ層 1 4 との間の寄生容量を最小限に抑えることができ、動作速度の向上を実現することができる。

【 0 0 5 8 】

図 9 及び図 1 0 に示す提案されている H B T では、開口部 1 3 0 の幅を $0.6 \mu\text{m}$ 、引き出しベース電極 1 2 6 直下のサイドエッチングを片側で $0.2 \mu\text{m}$ とすると、真性ベース領域の幅は $1.0 \mu\text{m}$ と大きい。これに対し、本実施形態では、開口部 3 0 の幅を $0.6 \mu\text{m}$ とすると、真性ベース領域の幅も $0.6 \mu\text{m}$ に抑えられる。このため、本実施形態によれば、上述した提案されている H B T と

比べて、寄生容量を例えば 5 0 % 以下に低減することが可能となる。

【 0 0 5 9 】

また、本実施形態による半導体装置は、ベース層 3 2 と引き出しベース電極 2 6 との接続部分に、不純物が高濃度に導入されていることにも主な特徴の一つがある。

【 0 0 6 0 】

上述した提案されている H B T では、単に、引き出しベース電極 1 2 6 直下のコレクタ層 1 1 4 表面にベース層 1 3 2 を成長して、ベース層 1 3 2 と引き出しベース電極 1 2 6 とを電氣的に接続するため、ベース層 1 3 2 と引き出しベース電極 1 2 6 との間の寄生抵抗を小さく設定することが困難であった。

【 0 0 6 1 】

これに対し、本実施形態によれば、ベース層 3 2 と引き出しベース電極 2 6 との接続部分に、不純物が高濃度に導入されているため、ベース層 3 2 と引き出しベース電極 2 6 との間の寄生抵抗を小さくすることができる。本実施形態によれば、ベース層 3 2 と引き出しベース電極 2 6 との間の寄生抵抗を低減することができるため、雑音を低減することができる。

【 0 0 6 2 】

このように、本実施形態によれば、動作速度が速く、雑音の小さい半導体装置を提供することができる。

【 0 0 6 3 】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 2 乃至図 5 を用いて説明する。

【 0 0 6 4 】

まず、図 2 (a) に示すように、(1 0 0) の p 形のシリコン基板 1 0 に、イオン注入法により、A s がドーピングされたシリコンより成る厚さ 1 . 5 μ m の n ⁺ 形の埋め込み拡散層 1 2 を形成する。

【 0 0 6 5 】

次に、全面に、減圧 C V D 法により、リンを含むシリコン層をエピタキシャル

成長することにより、厚さ $1\mu\text{m}$ のn形のコレクタ層14を形成する。

【0066】

次に、図2(b)に示すように、埋め込み拡散層12より深くまで達する溝16を形成する。

【0067】

次に、全面に、熱酸化法により、膜厚 50nm のシリコン酸化膜より成るパッド酸化膜18を形成する。

【0068】

次に、内面にパッド酸化膜18が形成された溝16内に、多結晶シリコン層20を埋め込む。

【0069】

次に、局所酸化により、素子分離膜22を形成する。

【0070】

次に、イオン注入法により、コレクタ部23にリンを高濃度に導入し、これにより、埋め込み拡散層12に達する n^+ 形のコレクタ補償拡散層24を形成する。イオン注入条件は、例えば、加速エネルギー 120keV 、ドーズ量 $1\times 10^{15}\text{cm}^{-2}$ とすることができる。

【0071】

次に、全面に、熱CVD法により、厚さ 300nm の多結晶シリコン層を形成する。多結晶シリコン層は、引き出しベース電極126を形成するためのものである。

【0072】

次に、イオン注入法により、多結晶シリコン層に、ボロンを導入する。

【0073】

次に、多結晶シリコン層を引き出しベース電極26の形状にパターニングする。こうして、引き出しベース電極26が形成される。

【0074】

次に、全面に、CVD法により、膜厚 300nm のシリコン酸化膜より成る絶縁膜28を形成する(図2(c)参照)。

【 0 0 7 5 】

次に、図 3 (a) に示すように、フォトリソグラフィ技術を用い、絶縁膜 2 8、引き出しベース電極 2 6 及びパッド酸化膜 1 8 をエッチングことにより、コレクタ層 1 4 に達する開口部 3 0 を形成する。開口部 3 0 は、例えば、以下のようにして形成する。

【 0 0 7 6 】

即ち、まず、フォトリソグラフィ技術を用い、ドライエッチングにより、絶縁膜 2 8 と引き出しベース電極 2 6 とをエッチングする。この際、パッド酸化膜 1 8 をエッチングすることなく、引き出しベース電極 2 6 のエッチングが完了した段階で、エッチングをストップする。

【 0 0 7 7 】

次に、ウエットエッチングにより、パッド酸化膜 1 8 をエッチングする。パッド酸化膜 1 8 をエッチングする際に、ウエットエッチングを用いるのは、コレクタ層 1 4 にダメージを与えないようにするためである。

【 0 0 7 8 】

パッド酸化膜 1 8 をエッチングする際、引き出しベース電極 2 6 直下のパッド酸化膜 1 8 のサイドエッチングは、例えば $0.1 \mu\text{m}$ 以下に抑えることが望ましい。これにより、真性ベース領域を小さくすることができ、ベース層 3 2 とコレクタ層 1 4 との寄生容量を低減することができるためである。

【 0 0 7 9 】

次に、全面に、熱 CVD 法により、カーボンを含むシリコンゲルマニウムより成る厚さ 150 nm の p 形のベース層 3 2 を形成する。ベース層 3 2 を形成する際に成長チャンバ内に導入する成長ガスは、ゲルマニウムを 20%、カーボンを 0.4%、ボロンを $5 \times 10^{18} \text{ cm}^{-3}$ とする。なお、成長ガスの組成は、所望の濃度プロファイルを実現し得るよう適宜設定すればよい。

【 0 0 8 0 】

コレクタ層 1 4 の表面には、ベース層 3 2 が単結晶状態に成長される。一方、絶縁膜 2 8、引き出しベース電極 2 6 及びパッド酸化膜 1 8 が露出している部分には、ベース層 3 2 が多結晶状態に成長される。

【0081】

コレクタ層14の表面にベース層32を単結晶状態に成長するためには、コレクタ層14の表面を、自然酸化膜等の存在しない極めて清浄な状態にしておくことが必要である。コレクタ層14の表面を極めて清浄な状態にするためには、例えば、ベース層32を成長する前に、成長チャンバ内に水素ガスを導入し、これにより、コレクタ層14表面の自然酸化膜等をエッチングすればよい。なお、コレクタ層14表面の自然酸化膜等をエッチングする際に、引き出しベース電極26直下のパッド酸化膜18のサイドエッチングが大きくなりすぎないように、留意することが必要である。

【0082】

次に、図3(b)に示すように、基板面に対して斜めにイオン注入を行うことにより、開口部30の内壁部分に、p形不純物を高濃度に導入する。この際、イオン注入の角度は、基板面に対して例えば45°に設定する。基板面に対して斜めにイオン注入を行うのは、開口部30の内壁部分に不純物を高濃度に導入する一方で、コレクタ層14上に成長された部分の真性ベース領域に不純物を導入しないようにするためである。

【0083】

開口部30の内壁の紙面左側の部分にイオン注入を行う際には、基板面に対して紙面右斜め上からイオン注入を行い、開口部30の内壁の紙面右側の部分にイオン注入を行う際には、基板面に対して紙面左斜め上からイオン注入を行う。イオン注入条件は、例えば、 BF_2 を用いる場合には、加速エネルギー15keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ とする。

【0084】

なお、イオン注入の角度は、基板面に対して45°に限定されるものではなく、開口部30の幅や深さ等を考慮して適宜設定すればよい。また、加速エネルギーやドーズ量も、後工程での熱処理等による不純物の拡散等を考慮して適宜設定すればよい。

【0085】

次に、図3(c)に示すように、ベース層32が形成された開口部30内にレ

ジスト 4 8 を埋め込む。

【 0 0 8 6 】

次に、図 4 (a) に示すように、レジスト 4 8 をマスクとして、反応性イオンエッチングにより、ベース層 3 2 をエッチングする。エッチングガスとしては、例えば、 BCl_3 と Cl_2 との混合ガスを用いる。この際、引き出しベース電極 2 6 の上面より上方の位置で、ベース層 3 2 のエッチングをストップする。このように、引き出しベース電極 2 6 の上面より上方の位置でベース層 3 2 のエッチングをストップするのは、引き出しベース電極 2 6 の上面より下方までベース層 3 2 のエッチングが進行すると、引き出しベース電極 2 6 までもがエッチングされてしまい、ベース層 3 2 と引き出しベース電極 2 6 との間の寄生抵抗が増加してしまうためである。なお、エッチングプロセスのばらつきを考慮すると、引き出しベース電極 2 6 の上面より例えば $0.02 \mu\text{m}$ 上方の位置でベース層 3 2 のエッチングをストップするようにすることが望ましい。

【 0 0 8 7 】

次に、図 4 (b) に示すように、レジスト 4 8 を除去する。

【 0 0 8 8 】

次に、熱 CVD 法により、膜厚 100 nm のシリコン窒化膜を形成する。シリコン窒化膜は、サイドウォール絶縁膜 3 4 を形成するためのものである。

【 0 0 8 9 】

次に、異方性エッチングにより、シリコン窒化膜をエッチングする。これにより、内面にベース層 3 2 が形成された開口部 3 0 の内壁に、シリコン窒化膜より成るサイドウォール絶縁膜 3 4 が形成される (図 4 (c) 参照) 。

【 0 0 9 0 】

次に、熱 CVD 法により、 As が $3 \times 10^{20} \text{ cm}^{-3}$ の濃度でドーピングされた n 形のアモルファスシリコンより成るエミッタ層 3 6 を形成する。

【 0 0 9 1 】

次に、例えば、 900°C 、10 秒の熱処理を行う。なお、熱処理条件は、所望の h_{FE} が得られるよう適宜設定すればよい。

【 0 0 9 2 】

次に、フォトリソグラフィ技術を用い、エミッタ層 3 6 をパターニングする（図 5（a）参照）。

【0093】

次に、図 5（b）に示すように、コレクタ補償拡散層 2 4 に達する開口部 3 8 と、引き出しベース電極 2 6 に達する開口部 4 0 とを形成する。

【0094】

次に、スパッタ法により、膜厚 1 0 0 n m の T i N 膜と膜厚 1 μ m の A l 膜とを順次形成する。

【0095】

次に、フォトリソグラフィ技術を用い、A l 膜及び T i N 膜をパターニングすることにより、コレクタ電極 4 2、エミッタ電極 4 6、及びベース電極 4 4 を形成する。

【0096】

こうして本実施形態による半導体装置が製造される。

【0097】

（評価結果）

次に、本実施形態による半導体装置の評価結果を図 6 及び図 7 を用いて説明する。図 6 は、熱処理条件を変化させた場合の各元素の濃度プロファイルを示すグラフである。図 7 は、雑音指数の測定結果を示すグラフである。

【0098】

まず、ベース層中のボロンの拡散に関する評価結果について、図 6 を用いて説明する。

【0099】

図 6 の実施例 1 は、熱処理条件を 8 5 0 ° C、1 5 秒とした場合の濃度プロファイルであり、実施例 2 は、熱処理条件を 9 0 0 ° C、1 5 秒とした場合の濃度プロファイルである。実施例 3 は、熱処理条件を 9 5 0 ° C、5 秒とした場合の濃度プロファイルであり、実施例 4 は、熱処理条件を 9 5 0 ° C、1 5 秒とした場合の濃度プロファイルであり、実施例 5 は、熱処理条件を 9 5 0 ° C、3 0 秒とした場合の濃度プロファイルである。いずれの場合も、ベース層 3 2 の組成は、ゲルマニ

ウム 2 0 %、カーボン 0. 4 %、ボロン濃度 $1 \times 10^{18} \text{ cm}^{-3}$ とした。

【0 1 0 0】

図 6 に示すように、エミッタ層 3 6 中のリン (P) については、熱処理条件を変化させることにより、濃度が変化している。このことから、エミッタ層 3 6 中のリンについては、熱処理により拡散が生じていることが分かる。

【0 1 0 1】

一方、ベース層 3 2 中のボロン (B) とゲルマニウム (Ge) については、熱処理条件を変化させても、濃度は殆ど変化していない。このことから、ベース層 3 2 中のボロンとゲルマニウムについては、熱処理により殆ど拡散が生じていないことが分かる。即ち、本実施形態では、ベース層の材料として、0. 0 1 % ~ 6 % のカーボンを含むシリコンゲルマニウムを用いているため、ベース層 3 2 中からボロンが拡散するのが抑制されている。

【0 1 0 2】

このことから、本実施形態によれば、動作速度の速い半導体装置を提供し得ることが分かる。

【0 1 0 3】

次に、雑音指数に関する評価結果について、図 7 を用いて説明する。

【0 1 0 4】

図 7 の横軸はコレクタ電流 I_C を示しており、縦軸は雑音指数 NF_{\min} を示している。測定条件は、動作周波数を 2. 0 GHz とし、 V_{CE} を 1. 5 V とした。

【0 1 0 5】

実施例 6 は、本実施形態による半導体装置の雑音指数を示しており、比較例 1 は、上述した提案されている半導体装置の雑音指数を示している。

【0 1 0 6】

低雑音アンプの実用的なコレクタ電流領域である 5 mA 付近において、比較例 1、即ち、提案されている半導体装置では、雑音指数が 1. 0 dB 程度であるのに対し、実施例 6、即ち本実施形態による半導体装置では、雑音指数が 0. 4 dB 程度と激減している。

【0 1 0 7】

このことから、本実施形態によれば、雑音の小さい半導体装置を提供し得ることが分かる。

【0108】

(変形例)

次に、本実施形態による半導体装置の製造方法の変形例を図8を用いて説明する。図8は、本変形例による半導体装置の製造方法を示す工程断面図である。

【0109】

本実施形態による半導体装置の製造方法は、CMP法により開口部30内にマスク材50を埋め込み、このマスク材50をマスクとしてベース層32をエッチングすることに主な特徴がある。

【0110】

まず、図2(a)乃至図3(b)を用いて上述した工程については、上記と同様であるので説明を省略する。

【0111】

次に、図8(a)に示すように、ベース層32が形成された開口部30内に、CMP法により、例えばPSGより成るマスク材50を埋め込む。

【0112】

次に、図8(b)に示すように、マスク材50をマスクとして、ベース層32をエッチングする。この際、引き出しベース電極26の上面より上方でベース層32のエッチングをストップする。具体的には、引き出しベース電極26の上面より例えば0.02 μ m以上上方でベース層32のエッチングをストップする。このようにエッチングするためには、例えばベース層32のエッチング量を0.1 μ m程度に設定すればよい。

【0113】

このようにCMP法により開口部内にマスク材を埋め込み、このマスク材をマスクとしてベース層をエッチングしてもよい。

【0114】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 1 1 5 】

例えば、上記実施形態では、ベース層の材料として一様な組成の材料を用いたが、ベース層の組成が一様でなくてもよい。例えば、カーボンを含むシリコンゲルマニウム層が中央部に挟み込まれたサンドイッチ構造のベース層を形成してもよい。

【 0 1 1 6 】

また、上記実施形態では、基板面に対して斜めにイオン注入することにより、ベース層と引き出しベース電極との接続部分に高濃度に不純物を導入したが、他の方法により、ベース層と引き出しベース電極との接続部分に高濃度に不純物を導入してもよい。例えば、内面にベース層が形成された開口部の内壁部分に不純物を含む膜、即ち不純物含有膜を形成し、この後、熱処理を行うことにより、不純物含有膜中の不純物を、ベース層と引き出しベース電極との接続部分に拡散してもよい。

【 0 1 1 7 】

また、上記実施形態では、基板面に対して斜めにイオン注入する際にボロンを用いたが、ボロンに限定されるものではなく、他の p 形不純物を用いてもよい。

【 0 1 1 8 】

また、上記実施形態では、図 3 (b) に示すように、全面にベース層 3 2 が形成されている状態で、基板面に対して斜めにイオン注入を行ったが、エミッタ層 3 6 を形成する前の段階であれば、どの段階で斜めにイオン注入を行ってもよい。

【 0 1 1 9 】

また、斜めにイオン注入することにより側壁における接続の寄生抵抗を低減する技術は、他のあらゆるデバイスに対しても有効である。例えば、ゲルマニウムを含まない p 形エピタキシャルベーストランジスタ等に適用することもできる。

【 0 1 2 0 】

また、上記実施形態では、H B T を例に説明したが、上述した H B T を構成要素とする B i C M O S 等の複合集積回路にも適用することができる。

【 0 1 2 1 】

また、上記実施形態では、 $n p n$ トランジスタを例に説明したが、導電型を反対に設定することにより、 $p n p$ トランジスタに適用することもできる。

【 0 1 2 2 】

【発明の効果】

以上の通り、本発明によれば、シリコンゲルマニウムより成るベース層にカーボンを含ませているため、ベース層中からボロンが拡散してしまうのを抑制することができる。また、本発明によれば、ベース層と引き出しベース電極とが、開口部の内壁の部分で接続するため、ベース層と引き出しベース電極とを安定して接続することができ、ベース層と引き出しベース電極との間の寄生抵抗を小さく抑えることができる。また、本発明によれば、引き出しベース電極直下のパッド酸化膜のサイドエッチングが極めて小さく抑えられているため、ベース層とコレクタ層との間の寄生容量を小さく抑えることができる。また、本発明によれば、ベース層と引き出しベース電極との接続部分に、不純物が高濃度に導入されているため、ベース層と引き出しベース電極との間の寄生抵抗を小さく抑えることができる。従って、本発明によれば、動作速度が速く、雑音の小さい半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置を示す断面図である。

【図 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】

熱処理条件を変化させた場合の各元素の濃度プロファイルを示すグラフである。

【図 7】

雑音指数の測定結果を示すグラフである。

【図 8】

本発明の一実施形態の変形例による半導体装置の製造方法を示す工程断面図である。

【図 9】

提案されている H B T の製造方法を示す工程断面図（その 1）である。

【図 1 0】

提案されている H B T の製造方法を示す工程断面図（その 2）である。

【符号の説明】

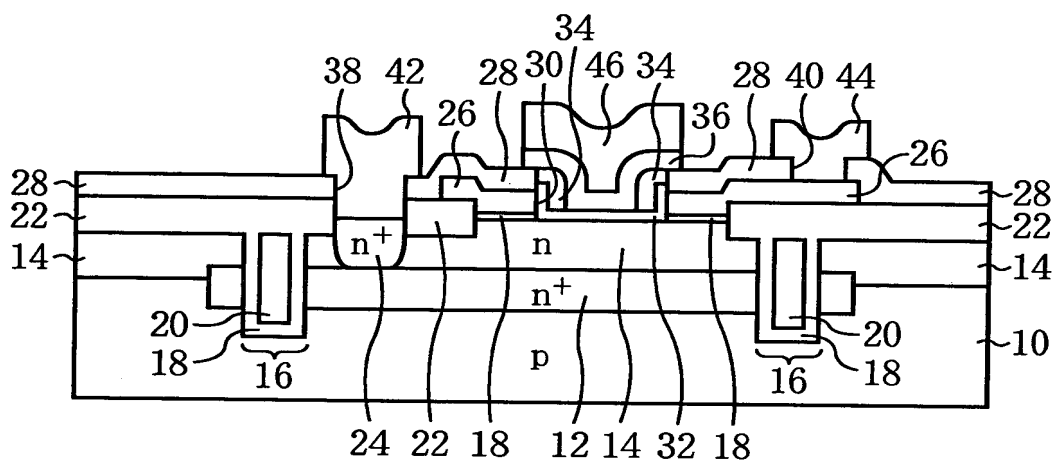
- 1 0 … シリコン基板
- 1 2 … 埋め込み拡散層
- 1 4 … コレクタ層
- 1 6 … 溝
- 1 8 … パッド酸化膜
- 2 0 … 多結晶シリコン層
- 2 2 … 素子分離膜
- 2 3 … コレクタ部
- 2 4 … コレクタ補償拡散層
- 2 6 … 引き出しベース電極
- 2 8 … 絶縁膜
- 3 0 … 開口部
- 3 2 … ベース層
- 3 4 … サイドウォール絶縁膜

3 6 … エミッタ層
3 8 … 開口部
4 0 … 開口部
4 2 … コレクタ電極
4 4 … ベース電極
4 6 … エミッタ電極
4 8 … レジスト
5 0 … マスク材
1 1 0 … シリコン基板
1 1 2 … 埋め込み拡散層
1 1 4 … コレクタ層
1 1 8 … パッド酸化膜
1 2 2 … 素子分離膜
1 2 3 … コレクタ部
1 2 5 … 多結晶シリコン層
1 2 6 … 引き出しベース電極
1 2 8 … 絶縁膜
1 2 9 … 絶縁膜
1 3 0 … 開口部
1 3 1 … 絶縁膜
1 3 2 … ベース層
1 3 4 … 絶縁膜
1 3 5 … 絶縁膜
1 3 6 … エミッタ層
1 3 7 … 開口部

【書類名】 図面

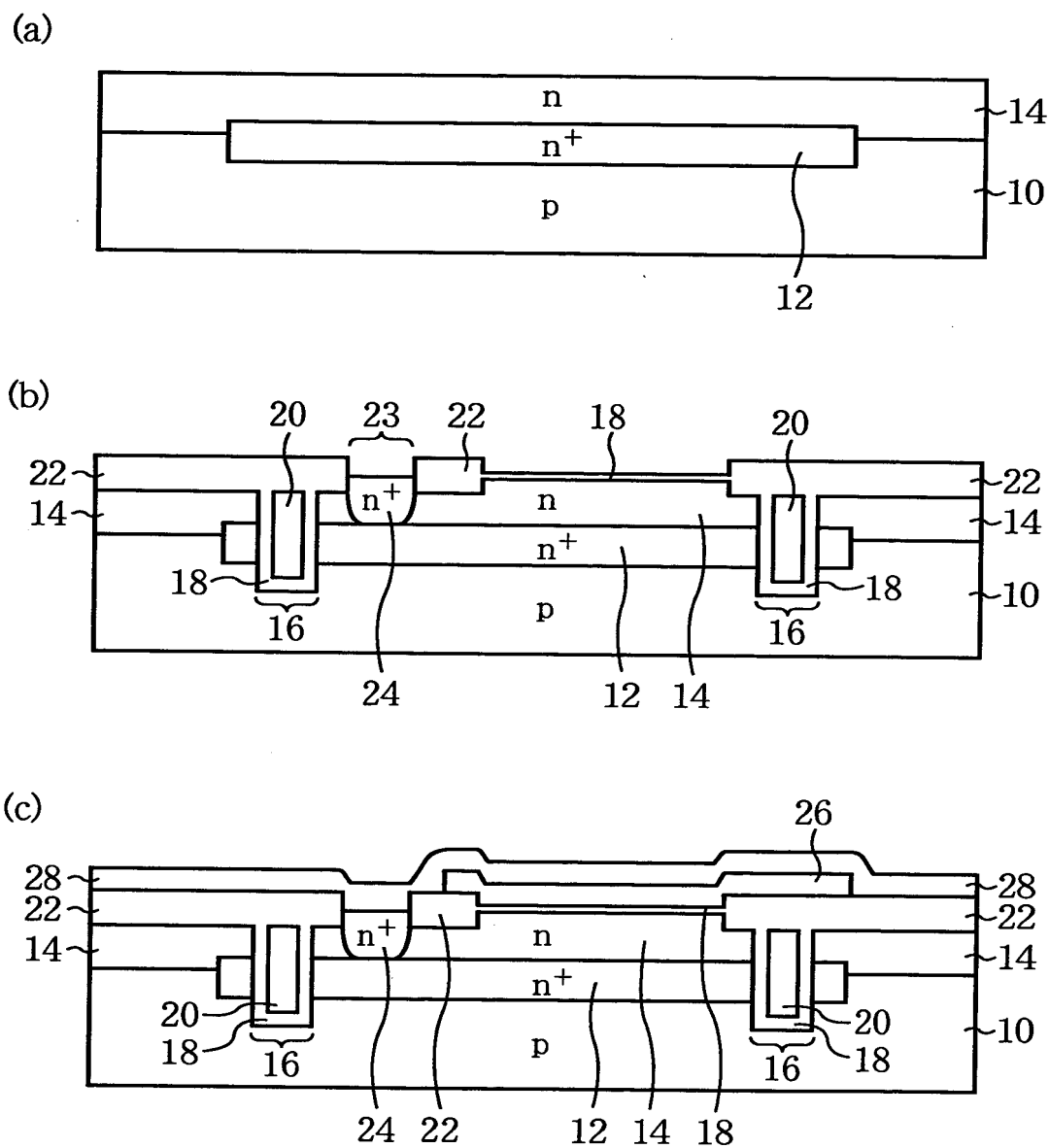
【図 1】

本発明の一実施形態による半導体装置を示す断面図



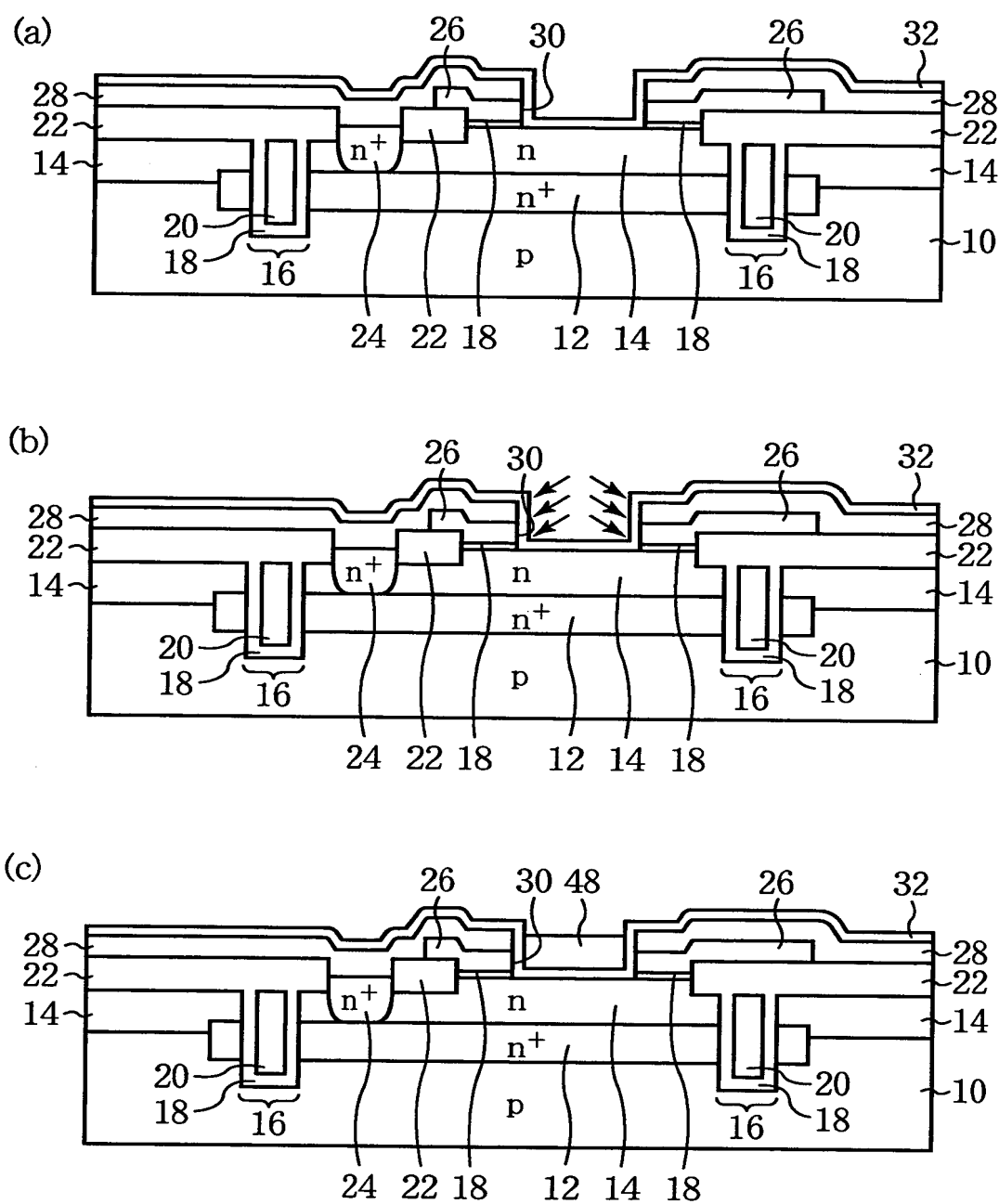
【图 2】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その1）



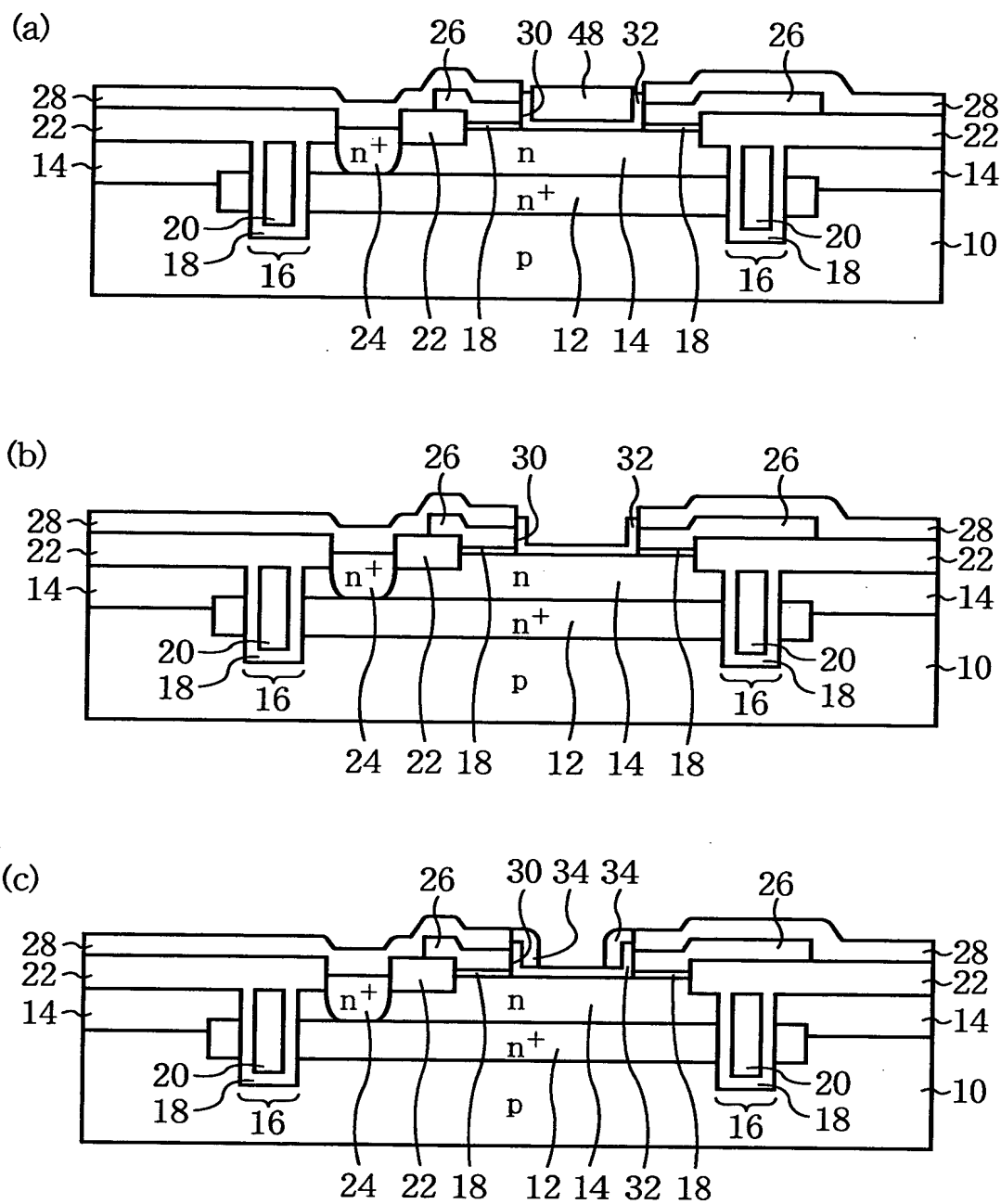
【図3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その2）



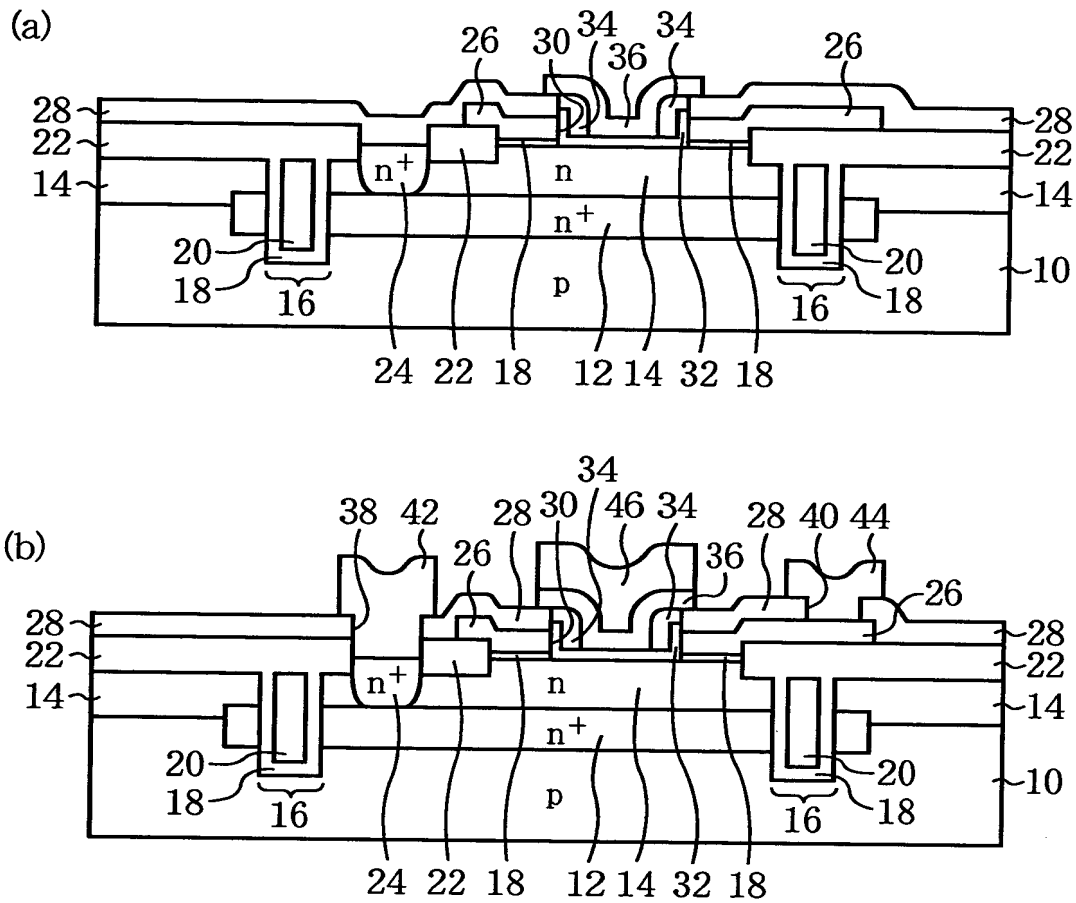
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その3）



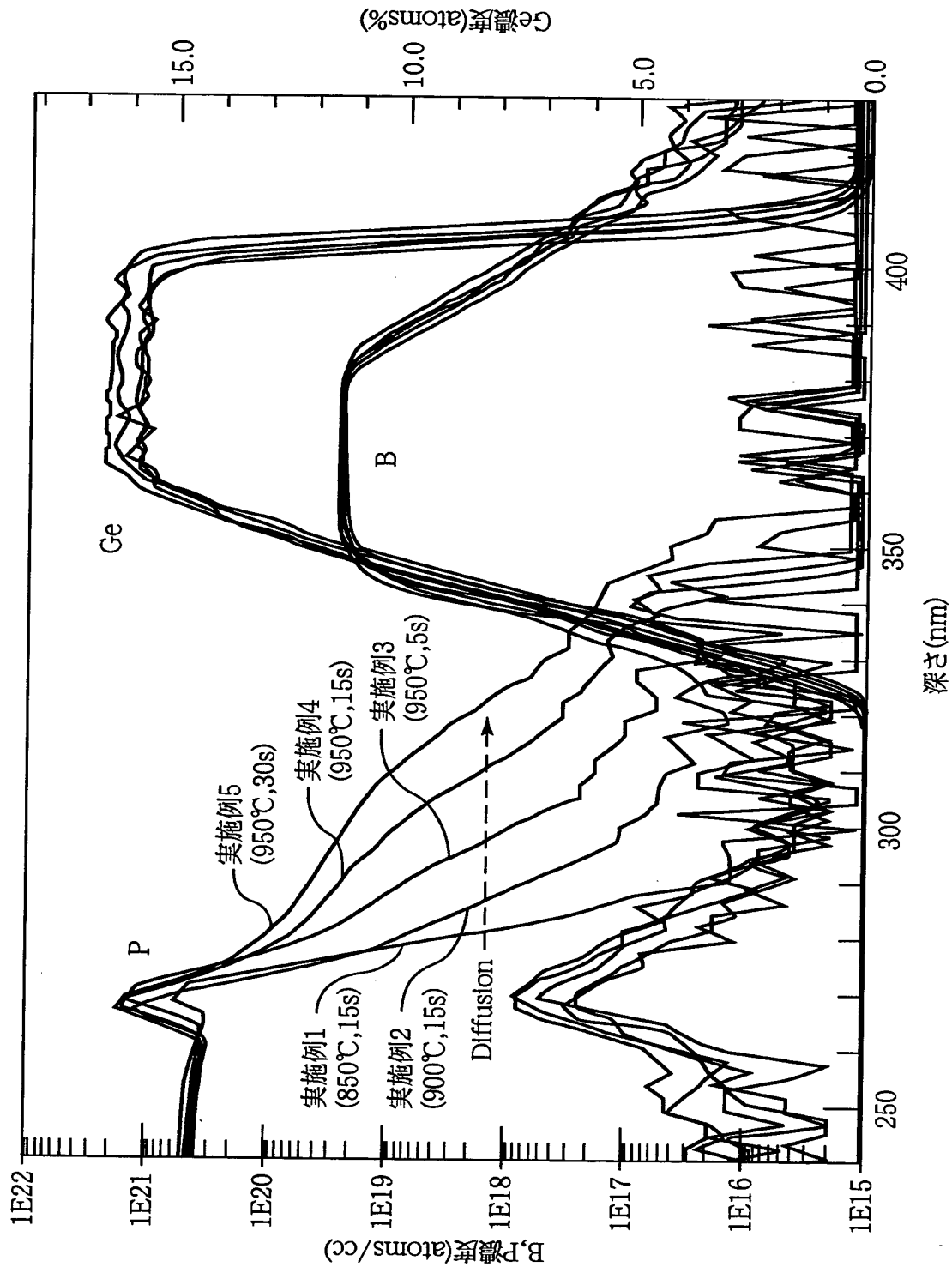
【図5】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その4）



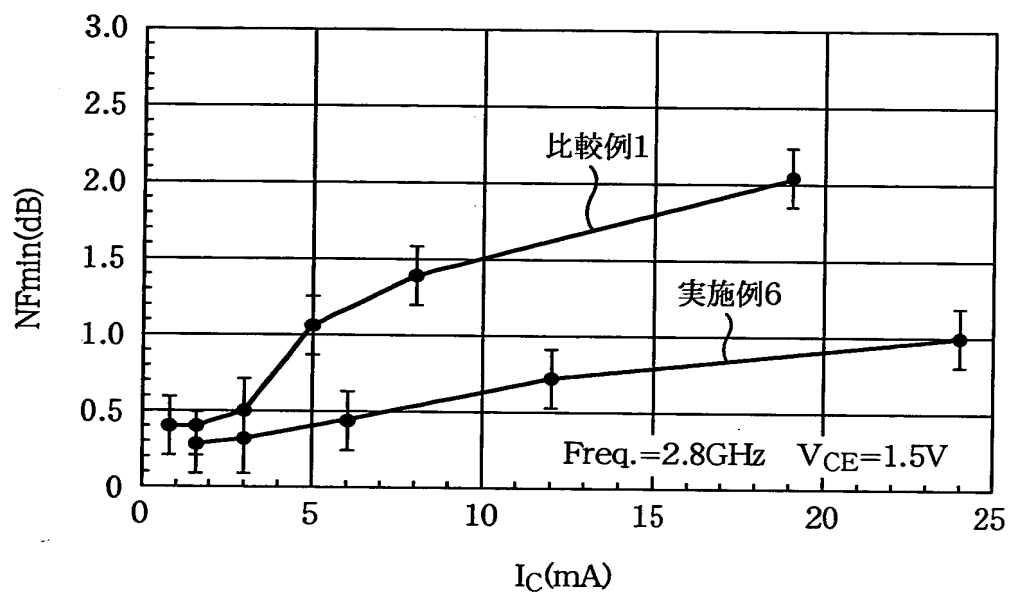
【図6】

熱処理条件を変化させた場合の各元素の
濃度プロファイルを示すグラフ



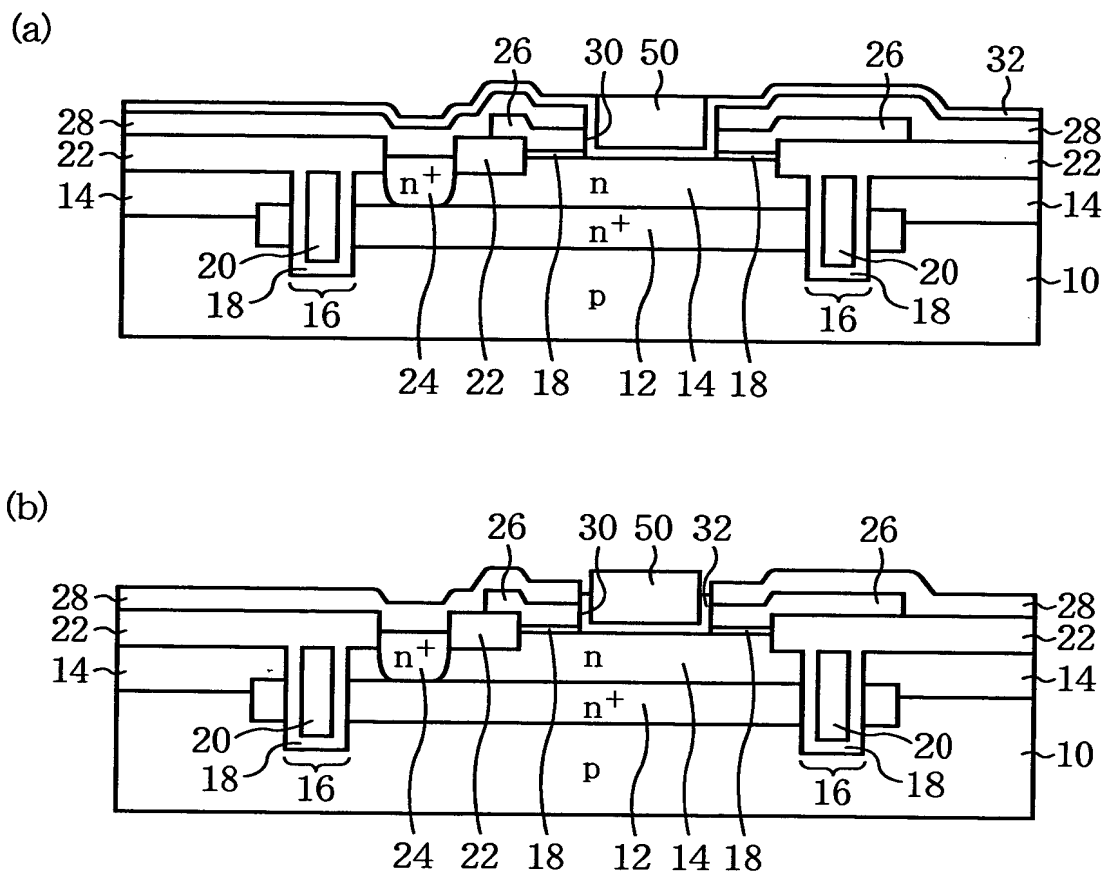
【図 7】

雑音指数の測定結果を示すグラフ



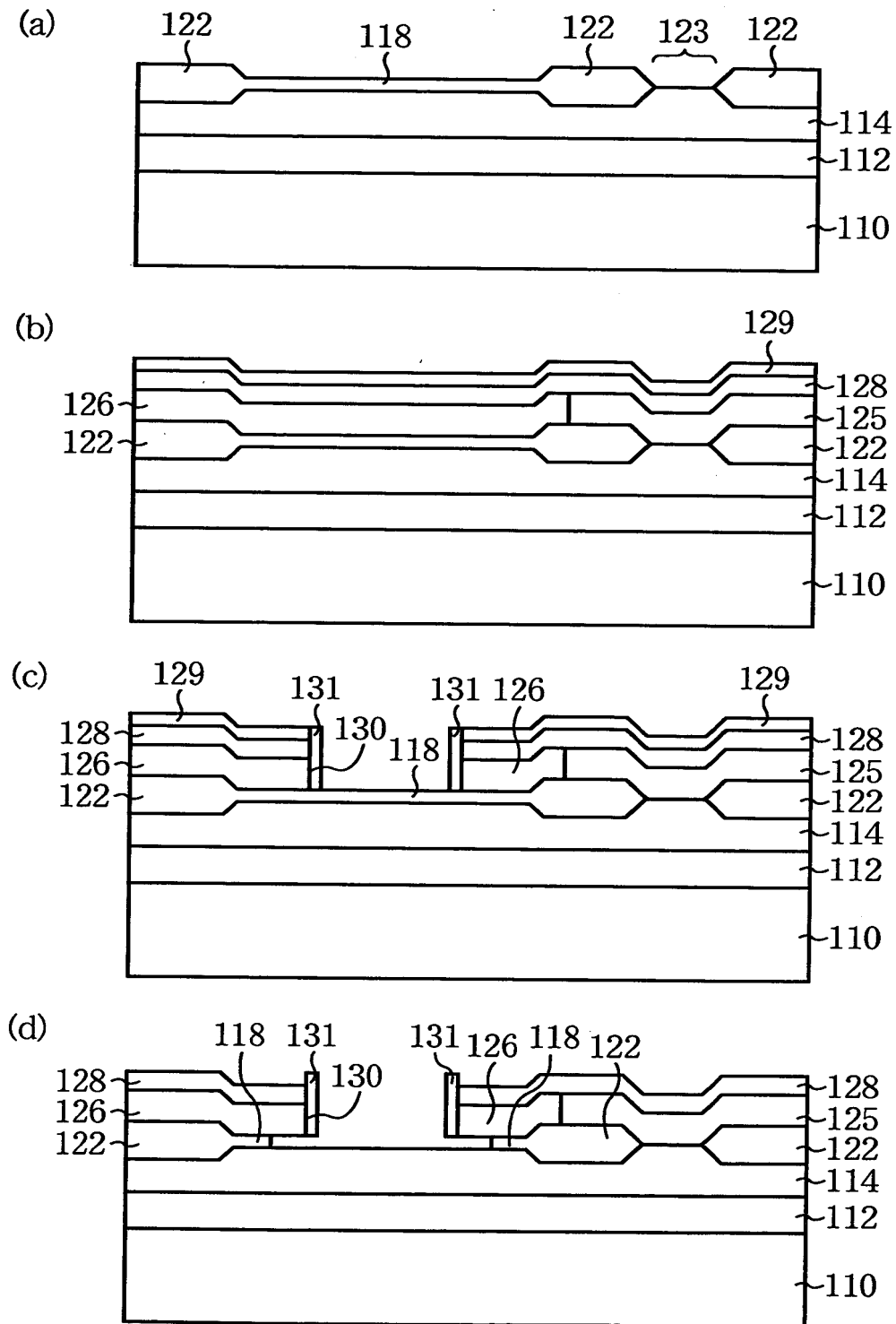
【図 8】

本発明の一実施形態の変形例による半導体装置の製造方法を示す
工程断面図



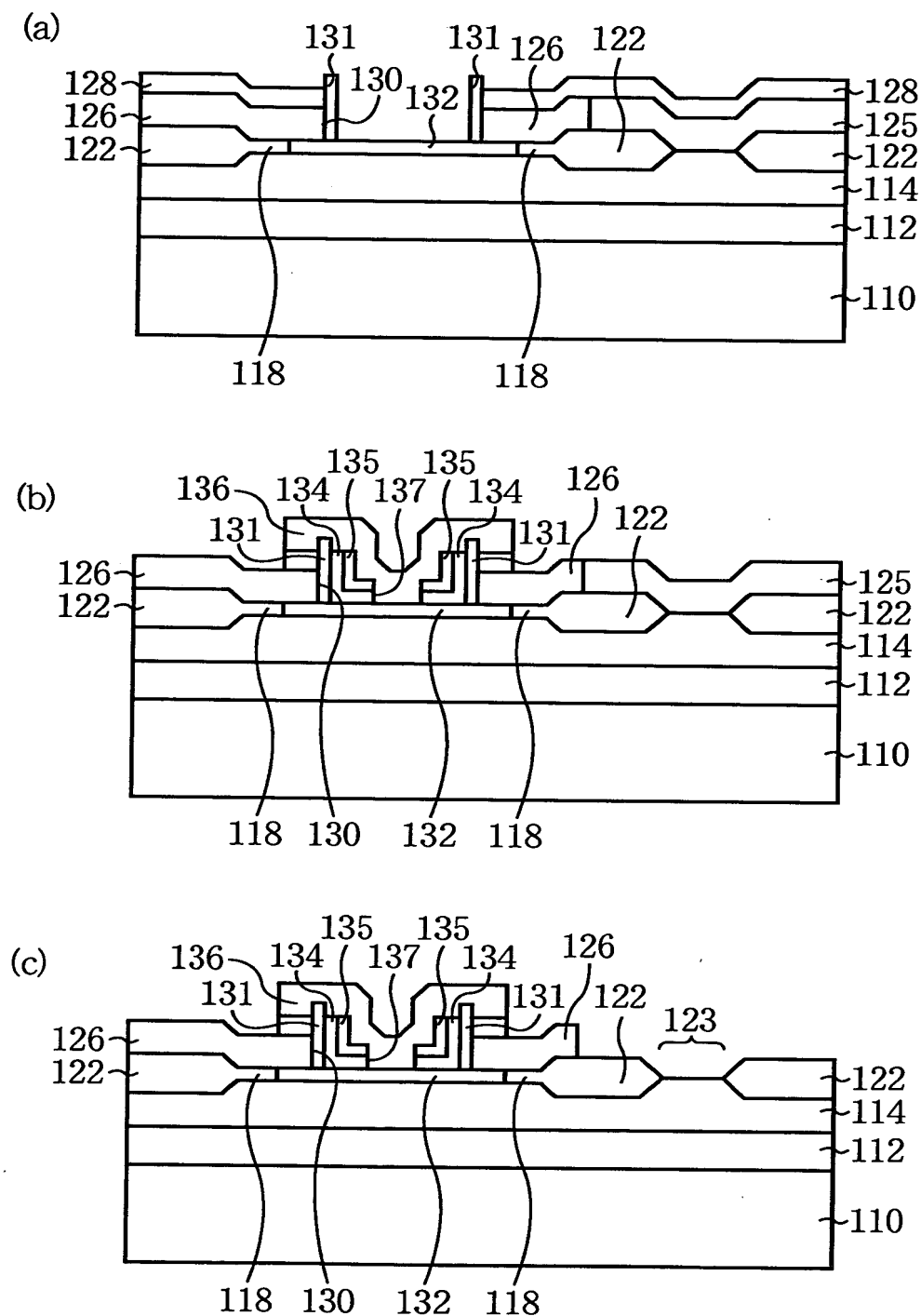
【図9】

提案されているHBTの製造方法を示す工程断面図（その1）



【図10】

提案されているHBTの製造方法を示す工程断面図（その2）



【書類名】 要約書

【要約】

【課題】 動作速度が速く、雑音の小さい半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 0 に形成された第 1 の半導体層 1 4 と、第 1 の半導体層 1 4 上に形成された引き出しベース電極 2 6 と、第 1 の半導体層上に形成され、引き出しベース電極の側面部で引き出しベース電極に接続された、カーボンを含むシリコンゲルマニウムより成るベース層 3 2 と、ベース層上に形成された第 2 の半導体層 3 6 とを有している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社